



DIRECTION DE LA RECHERCHE

→ **SOUTENANCE D'UNE THESE DE DOCTORAT** →
(la soutenance est publique)

NOM : HAMOUCHE

Prénoms : Lahcen

Fonction : Ingénieur, contrat CIFRE

Laboratoire INSA : Ampère, CNRS UMR 5005

Date et heure de soutenance : 09 Février 2011, 10h

Lieu : INSA Lyon, salle René Char

Titre de la thèse : Conception de Mémoires SRAM en technologie CMOS 32nm

Spécialité : Microélectronique

Rapporteurs: Patrick GIRARD (LIRMM), Jean-Michel PORTAL (IM2NP)

Jury: Bruno ALLARD (INSA Lyon), David Turgis, (STMicroelectronics-Crolles), Amara AMARA, (ISEP), Patrick GIRARD (LIRMM), Jean-Michel PORTAL (IM2NP)

RESUME :

De plus en plus d'applications spécifiques embarquées exigent de larges blocs de mémoires statiques SRAM. En particulier il y a un besoin de mémoires inconditionnellement actives pour lesquelles la consommation d'énergie est un paramètre clé. Par exemple les réseaux sans fil hétérogènes sont caractérisés par plusieurs interfaces tournées vers des réseaux différents, donc de multiples adresses IP simultanées. Une grande quantité de mémoire est mobilisée et pose un sérieux problème de consommation d'énergie vis-à-vis de l'autonomie de système mobile. La stratégie classique d'extinction des blocs mémoire momentanément non opérationnelle ne permet qu'une réduction faible en consommation et limite les performances dynamiques du système.

Il y a donc un réel besoin pour une mémoire toujours opérationnelle avec un très faible bilan énergétique. Par ailleurs les technologies CMOS avancées posent le problème de la variabilité et la conception de mémoire SRAM doit aboutir à un niveau de fiabilité très grand.

La thèse discute les verrous techniques et industriels concernant la mémoire embarquée SRAM très faible consommation. Le cas de la mémoire toujours opérationnelle représente un défi pertinent.

Un état de l'art balaie les architectures SRAM avec plusieurs points de vue. Le chapitre 2 offre une discussion à propos de la modélisation analytique statistique comme moyen de simplification de la conception en 32nm. Le chapitre 3 décrit une cellule alternative aux 6T, 7T et 8T, laquelle est appelée 5T-Portless. Les avantages et les performances de cette cellule 5T-Portless repose sur son fonctionnement en mode courant à l'origine de la réduction significative de la consommation dynamique ajoutée à une cellule intrinsèquement peu fruiteuse. Le chapitre 4 détaille la conception d'un démonstrateur de 64kb (1024x64b) en CMOS32nm.

- _ Deux dépôts de brevet français repris en une extension internationale
- _ Deux articles de conférences IEEE (ISCAS 2010 et IMW 2010)
- _ Un articles accepté au journal Solid State Circuit.